

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-283611

(43)Date of publication of application : 07.10.1994

(51)Int.Cl.

H01L 21/90

H01L 21/60

H01L 29/44

(21)Application number : 05-067151

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 26.03.1993

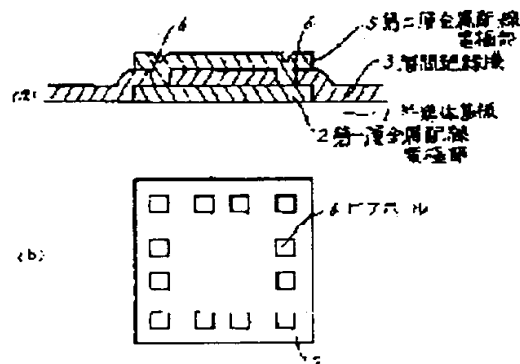
(72)Inventor : SAKAI YOSHIYUKI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To uniform the etching rate for forming through holes, by arranging a plurality of viaholes along the periphery of an electrode part which viaholes are formed in an interlayer insulating film between electrode parts of large area.

CONSTITUTION: The monitor part of a semiconductor integrated circuit is formed on the interlayer insulating film 3 covering an electrode part 2 of a first layer metal wiring formed on a semiconductor substrate 1. Along four sides of the electrode part 2, twelve viaholes 6 of almost the same dimensions as those of the fine viaholes for connecting circuit wiring patterns are formed. A second layer metal wiring electrode part 5 of almost the same size as the first metal wiring electrode part 2 is brought into contact in the viaholes 6 with the electrode part 2. Hence the viaholes 6 can be formed at almost the same etching rate as the via holes on the circuit wiring patterns, so that working of high precision is enabled. The multilayered electrode of the main part of an integrated circuit can be realized, and the increase of chip area can be prevented.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

IDS 54

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開 号

特開平6-283611

(43)公開日 平成 6 年(1994)10月 7 日

(51)Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/90	D	7514-4M		
21/60	3 0 1 P	6918-4M		
29/44	D	7376-4M		

審査請求 未請求 請求項の数 3 O L (全 3 頁)

(21)出願番号 特願平5-67151

(22)出願日 平成 5 年(1993) 3 月 26 日

(71)出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田 1 番 1 号

(72)発明者 酒井 善行

神奈川県川崎市川崎区田辺新田 1 番 1 号

富士電機株式会社内

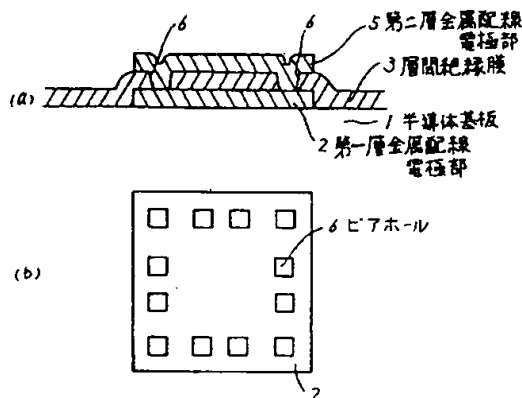
(74)代理人 弁理士 山口 巖

(54)【発明の名称】 半導体集積回路

(57)【要約】

【目的】半導体集積回路の多層金属配線のモニタ部やテストパターン部の重なる位置に設けられる測定用電極部を接続するための大きなビアホールと配線パターンを接続するための小さなビアホールのエッチング速度のばらつきのため、層間絶縁膜の加工精度が低下する問題を解決する。

【構成】大きい面積の電極部相互間の層間絶縁膜に設けられるビアホールを電極部周縁に沿って配置される複数個にし、単一のビアホールの大きさを配線パターン接続のための微細なビアホールとほぼ同じ大きさにして、エッチング速度を同等にする。



【特許請求の範囲】

【請求項1】層間絶縁膜を介して積層される二層の配線金属層の対向する領域が層間絶縁膜の貫通孔において接触して相互に接続されるものにおいて、接続される領域の面積が大きい場合、貫通孔が複数個設けられたことを特徴とする半導体集積回路。

【請求項2】複数個設けられる貫通孔の大きさが、配線金属層の対向する領域の間に1個のみ設けられる貫通孔の大きさとほぼ等しい請求項1記載の半導体集積回路。

【請求項3】複数個設けられる貫通孔が接続される領域の周縁に沿って等間隔に配置された請求項1あるいは2記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、多層金属配線を有し、その配線の一部に回路構成あるいは測定のために電極部を有する半導体集積回路に関する。

【0002】

【従来の技術】半導体集積回路の微細化、高集積化にともない、配線の多層化が進んでいる。回路構成のための接続のため、絶縁膜に広い面積の開口部で配線が露出するパッド電極部は最上層の配線に設けられるが、同一半導体基板上に作り込むモニタ部分やテストパターンでは、途中工程での測定を可能にするため、同様に広い面積で露出する電極部が各層ごとに形成される。この場合、通常各層の電極部を重なる位置に設ける。各層の電極部の位置を変えて配置することも可能であるが、そのためのスペースを確保する必要があるため、ほとんど実施されていない。

【0003】

【発明が解決しようとする課題】図2(a)、(b)は二層金属配線で各層ごとに形成されたモニタ電極部を示すもので半導体基板1上の第一層金属配線の電極部2上の層間絶縁膜3に電極部1とほぼ同じ面積のビアホールと呼ばれる貫通孔4を形成し、その上に第二層金属配線を積層し、パターンニングして電極部5を形成している。しかし、この際のビアホール4は、図3に示すような回路配線パターン21とその上の第二層金属配線25との接続のためのビアホール24にくらべて著しく大きい。層間絶縁膜に面積の異なるビアホールをドライエッチングなどで明けようとする、ローディング効果のためホール径によりエッチング速度が異なり、ホールの寸法精度が不均一になる問題が生ずる。さらに、層間絶縁膜の凹部を有機材料まで埋めて平坦化すると、配線パターンの密度により層間膜厚が異なるため、このような寸法精度不均一の問題が一層顕著になる本発明の目的は、このような問題を解決し、金属配線層の層間配線膜に設けた貫通孔によって接続される部分の面積の異なる場合に、貫通孔の形成のためのエッチング速度を同程度にする半導体集積回路を提供することにある。

【0004】

【課題を解決するための手段】上記の目的を達成するために、本発明は、層間絶縁膜を介して積層される二層の配線金属層の対向する領域が層間絶縁膜の貫通孔において接触して相互に接続される半導体集積回路において、接続される領域の面積が大きい場合、貫通孔が複数個設けられたものとする。そして複数個設けられる貫通孔の大きさが、配線金属層の対向する領域の間に1個のみ設けられる貫通孔の大きさとほぼ等しくされたことが有効である。また、複数個設けられる貫通孔が接続される領域の周縁に沿って等間隔に配置されたことが有効である。

【0005】

【作用】外部との接続のために用いられる電極部をその上の配線金属層のほぼ同一の大きさの電極部と接続する場合のように大きな面積の領域を接続する場合、その領域の面積に近い大きな面積の開口部を明けず、小さい面積の貫通孔を複数個形成すれば、回路配線パターン間の接続のように小さい面積の接続のために明けられる貫通孔とほぼ等しい面積とすることにより、エッチング速度が均一化され、同等の寸法精度で加工できる。そして貫通孔を接続領域の周縁に沿って配列することにより、接続領域を通じて流れる電流が均一に分散される。

【0006】

【実施例】図1(a)、(b)は本発明の一実施例の半導体集積回路のモニタ部分を示し、図2と共通の部分には同一の符号が付されている。このモニタ部分を半導体基板1上に形成された第一層金属配線の電極部2の上を覆う層間絶縁膜3には、図2におけるような大きなビアホール4でなく、図3に示した回路配線パターンの接続のための微細なビアホール24とほぼ同じ寸法のビアホール6を図1(b)に示すように電極部2の四辺に沿って12個形成し、第一層金属配線電極部2とほぼ同じ大きさの第二層金属配線電極部5を、そのビアホール6内で電極部2と接触させている。従って、ビアホール6は、回路配線パターン上のビアホール24とほぼ同じエッチング速度で明けることができ、高精度の加工が可能になる。

【0007】

【発明の効果】本発明によれば、下層の電極部上に重ねて設けられる電極部のビアホールが、回路配線パターン接続のために設けられるビアホールとほぼ同じ寸法で電極部の周辺に沿って配置されているので、エッチング速度のばらつきの高精度な加工が行える。また層間膜に平坦化のための有機材料を含む場合においても加工精度が向上でき、電極部の周辺部にビアホールがあり、中央部には層間絶縁膜が介在して応力を緩衝するため、電極部のテスト時の測定針やワイヤボンディング時のボンディングヘッドの接触により電極部が損傷を受けることが少なくなる。さらに、集積回路の本体部電極の多層化に対応でき、チップ面積の増大も防止できる。

【図面の簡単な説明】

【図1】本発明の一実施例の半導体集積回路のモニタ電極部を示し、(a)は断面図、(b)はビアホールと下層電極部との平面図

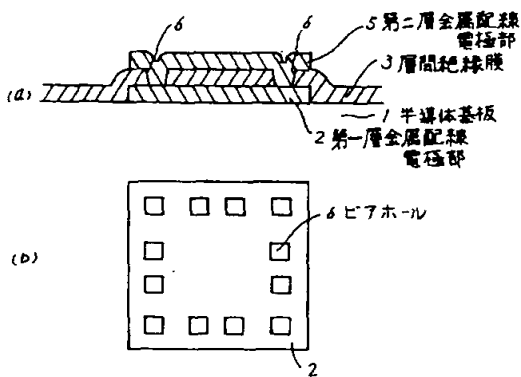
【図2】従来の半導体集積回路のモニタ電極部を示し、(a)は断面図、(b)はビアホールと下層電極部との平面図

【図3】半導体集積回路の回路配線パターンの一部の断面図

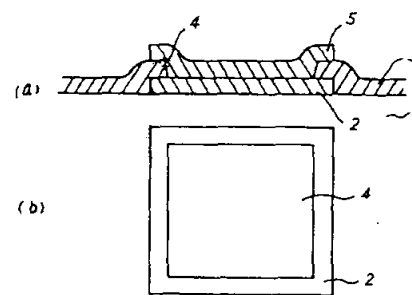
*【符号の説明】

- 1 半導体基板
- 2 第一層金属配線電極部
- 3 層間絶縁膜
- 5 第二層金属配線電極部
- 21 第一層金属配線
- 25 第二層金属配線
- 6、24 ビアホール

【図1】



【図2】



【図3】

